

2022年12月2日

報道機関 各位

東北大学電気通信研究所  
東北大学先端スピントロニクス研究開発センター  
東北大学国際集積エレクトロニクス研究開発センター  
東北大学材料科学高等研究所 (WPI-AIMR)

## 確率動作スピン素子を用いた 高性能・省電力「P」コンピューターを実証

～機械学習や組合せ最適化に適した高い演算性能と電力効率が明らかに～

### 【発表のポイント】

- 確率的に動作する新規スピン素子とプログラマブル半導体 (FPGA) を用いて、量子コンピューター<sup>(注1)</sup>に似た機能を持ち、室温で複雑な問題を省電力で高速に解くコンピューター — 確率論的(「P」)コンピューター<sup>(注2)</sup> — を構築。
- 開発したPコンピューターで組合せ最適化問題などを例にその性能を評価。
- 古典コンピューターで確率的な演算を行う場合と比べて約5桁高い演算性能と約1桁低い消費電力を実現できることが明らかに。

### 【概要】

東北大学、カリフォルニア大学サンタバーバラ校(アメリカ)、メッシーナ大学(イタリア)の研究チームは、機械学習や組合せ最適化などの用途で威力を発揮する確率論的(「P」)コンピューターを開発し、優れた演算性能と電力効率を明らかにしました。

人工知能(AI)やデジタルトランスフォーメーション(DX)<sup>(注3)</sup>の進展に伴いコンピューターに要求される演算性能は飛躍的に増大しており、一方で昨今の社会情勢の中ではコンピューターの省電力化もまた重要な課題です。これら要求の全てを従来型(古典)コンピューターで対応するのは難しく、古典コンピューターが苦手とする問題に特化した新概念コンピューターの研究開発が活発に行われています。

今回研究チームは、機械学習や組合せ最適化などを高速かつ省電力で解く「Pコンピューター」を、自然の熱で状態が確率的に変化する新規スピン素子とプログラム可能半導体回路(Field Programmable Gate Array; FPGA)<sup>(注4)</sup>を用いて構築し、その性能を評価しました。組合せ最適化を例に、古典コンピューターで確率的アルゴリズムを実行した場合と比較し、Pコンピューターは約5桁高い演算性能と約1桁低い消費電力を実現できることを明らかにしました。

今後本技術を発展させることで、低炭素社会の実現に向け需要が高まっている、エッジで複雑性の高い問題を省電力で処理する情報機器などの実現に繋がるものと期待されます。

本研究成果は、2022年12月3-7日(米国時間)にアメリカで開催される学術会議「International Electron Devices Meeting: IEDM」で発表されました。

## 【詳細な説明】

昨今の情報社会は、人工知能(AI)、モノのインターネット(IoT)、デジタルトランスフォーメーション(DX)、ビッグデータなどのキーワードに彩られており、これらを活用した暮らしやすい社会の実現に向けて、コンピューティング技術にはこれまで経験したことがないペースでの演算性能の向上が要求されています。これと同時に、地球温暖化ガスの排出を抑制して 2050 カーボンニュートラル<sup>(注5)</sup>を達成するため、コンピューティング技術には省電力化という課題も突き付けられています。この演算性能の向上と省電力化は相反する関係にあり、従来型のコンピューターのみで多様化する社会的要求の全てに対応することは困難です。このため各用途に特化した様々な新概念コンピューターの研究開発が活発に行われています。量子コンピューターはその一例であり、分子軌道の計算など量子力学的性質の取り扱いが本質的に重要となる問題などを効率的に処理できると期待されます。

本研究の対象である「確率論的コンピューター(Pコンピューター)」も特定の用途で威力を発揮すると期待される新概念コンピューターの一つです。量子コンピューターが 0 状態と 1 状態の重ね合わせで情報を表現する“量子ビット:Qビット”で構成されるのと同様に、Pコンピューターは、0 と 1 を時々刻々と確率的に出力して情報を表現する“確率ビット:P ビット”で構成されます。古典コンピューターが苦手とする問題の典型例に、膨大な選択肢の中から条件をよく満たす候補を探す問題(組合せ最適化問題)、ある条件下で起こりそうな現象を大量に出力する問題(サンプリング)、複雑なデータの背後にあるルールやパターンを学習する問題(機械学習)などがあります。これらの問題を扱う際には、しばしば確率的なアルゴリズムが用いられますが、情報を 0 と 1 で決定論的に表現して逐次的に処理する古典コンピューターとは本質的に相性が悪く、計算に多くの電力を費やすという課題があります。

2019 年に東北大学とパデュー大学(アメリカ)の研究チームは、自然の熱で確率的に状態が更新されるスピントロニクス<sup>(注6)</sup>素子を用いて P ビットを構築し、それを用いた「Pコンピューター」の原理実証を行いました(東北大学プレスリリース [『室温動作スピントロニクス素子を用いて量子アニーリングマシンの機能を実現』](#)<sup>(注7)</sup>)。この研究では8個のPビットからなる小規模な原理実証システムが構築され、最大945までの整数の因数分解(945 = 63×15)などが実証されました。また2022年2月には5つのPビットを用いた機械学習の原理実証も報告されています。今後の社会実装に向け、Pコンピューターの規模の拡大と、類似技術に対する性能面での定量的な評価が求められました。

今回、東北大学の小林奎斗氏(大学院生・工学研究科)、金井駿准教授(電気通信研究所)、大野英男教授(現総長)、深見俊輔教授(電気通信研究所)らは、カリフォルニア大学サンタバーバラ校の Kerem Camsari 博士、メッシーナ大学の Giovanni Finocchio 博士らと共同で、確率動作するスピントロニクス素子と、プログラムが可能な

半導体回路 (FPGA) を組み合わせ、先行研究から大幅に規模が拡大された P コンピューターを実現しました。そして組合せ最適化問題のアルゴリズムを用い、 $52,193,789 = 6,883 \times 7,583$  をはじめとする、以前の研究を 5 桁上回る様々な整数の因数分解に成功しました。加えて実験で測定された性能を基に、古典コンピューター上で確率的なアルゴリズムを実行して計算を行う場合と比較して、演算性能は約 5 桁、消費電力は約 1 桁低減されるポテンシャルがあることを明らかにしました。

今回の研究のポイントは、確率動作スピントロニクス素子からなる高性能 P ビットを、大規模な演算が可能な FPGA と組み合わせた点にあります。図1は作製したシステムの写真です。FPGA 上には最大 7,085 個の P ビットを疑似的に実装でき、これを自然な熱によって電力を消費することなく状態が更新されるスピントロニクス P ビットで駆動することで、高度な計算が可能となりました。別の言い方をすると、半導体回路上に作製した大量の性能の低い疑似乱数発生器を、スピントロニクス素子の力で性能の高い物理乱数発生器に変え、高度な計算を可能とした、とも言えます。

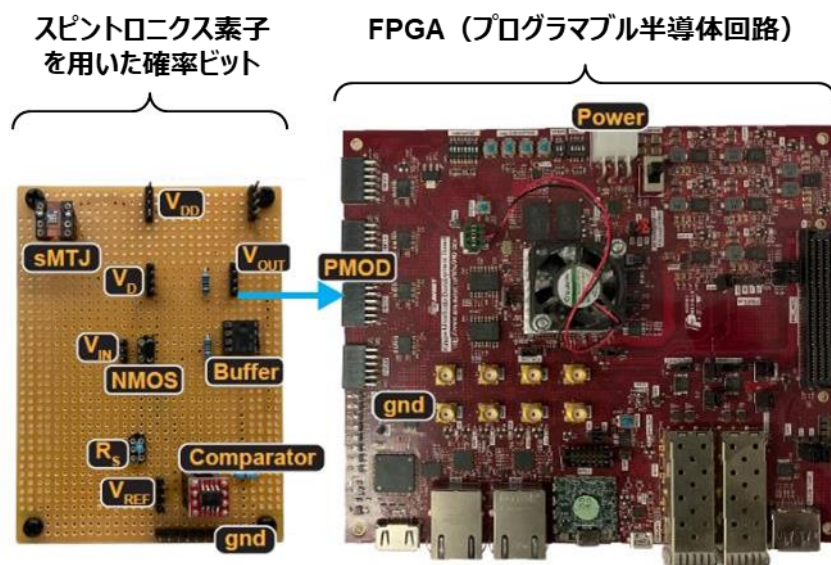


図1) 構築した確率動作スピントロニクス素子からなる確率ビットと FPGA からなる確率論的コンピューター (P コンピューター) の写真

続いて研究チームは、スピントロニクス素子を用いた P コンピューターの演算性能と消費電力を測定し、古典コンピューターで確率的なアルゴリズムを用いて演算を行う場合との比較を行いました。図2にその比較が示されています。横軸はサンプリング速度であり、これはコンピューターの演算性能に相当します。縦軸は消費電力です。FPGA を用いた P コンピューターは実測値ベース (106.28 flips/ns, 32.72 W) で既に古典コンピューターの典型値 (図中の G1, N1, N2, N4) と比べて消費電力は 1/3 から 1/10 程度低く、演算性能は 2 倍から 10 倍程度高いことが分かります。加えて、東北大

学のグループは以前に超高速で熱による状態更新が可能なスピントロニクス素子を開発しており(東北大学プレスリリース『[スピントロニクス疑似量子ビットを従来比 100 倍超に高速化](#)』<sup>(注8)</sup>)、また同様なスピントロニクス素子は磁気抵抗メモリ(Magnetoresistive Random Access Memory)において既にメガビット以上の規模で量産されています。図の P2 はこれらの技術を適用して専用集積回路を作製した場合に予測される値(1,000,000 flips/ns, 20 W)です。実測値から演算性能はさらに4桁向上、消費電力はさらに約 40%低減し、古典コンピューターの典型値を演算性能で約5桁、消費電力で約1桁凌駕する特性が得られることが分かります。

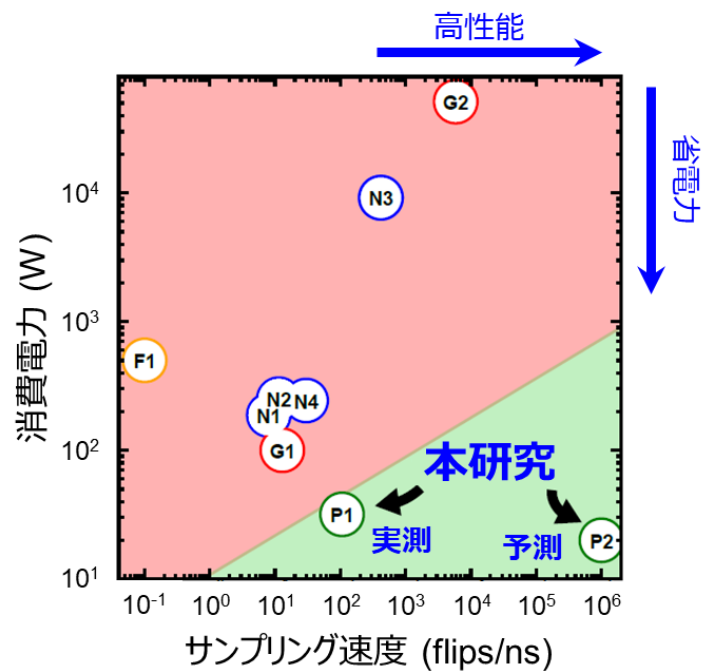


図 2)スピントロニクス確率的(「P」)コンピューターと、古典コンピューターで確率的アルゴリズムを実行した場合の、計算性能(サンプリング速度:横軸)と消費電力(縦軸)の比較。P1 は本研究での実測値であり、P2 は既に確立されているスピントロニクス素子技術・集積化技術を用いた場合に予測される値。N1~N4 は GPU(Graphics Processing Unit)コンピューターを用いた場合、G1~G2 は TPU (Tensor Processing Unit)コンピューターを用いた場合、F1 はシミュレーテッドアーキテクチャコンピューターを用いた場合の報告値。

本研究によって、これまで基本動作の確認に留まっていたスピントロニクスPコンピューターが、確率的に取り扱うことで効率的に求解できる問題に対して、古典コンピューターと比べて圧倒的に優れた計算性能と電力効率を示すことが明らかになりました。今後、図2で「P2」としてプロットされた特性を実際に専用集積回路において実現する

ためには、材料・素子・回路・アーキテクチャ・アルゴリズムの全階層において、いくつかの技術課題に取り組んでいく必要があります。これらの課題に粛々と取り組んでいくことで、まだ誰も見たことのない超高性能・省電力コンピューターが実現される「確率」が高まっていくものと期待されます。

本研究は、科学技術振興機構(JST) 戦略的創造研究推進事業 CREST「スピントロニクスコンピューティングハードウェア基盤」(研究代表者:佐藤 茂雄)JPMJCR19K3、および同事業さきがけ「不確定性スピントロニクス素子」(研究代表者:金井 駿)JPMJPR21B2、などの支援を受けて行われたものです。

## 【用語解説】

### 注1) 量子コンピューター

量子力学的な 0 状態の 1 状態の重ね合わせが可能な量子ビット(Q ビット)が情報の基本単位となるコンピューター。Q ビット間でのもつれ合い(相関状態)によって複数の状態を同時にとることができる点で古典的なビットとは異っており、これによって高速な計算ができると期待されている。1981 年にリチャード・ファインマンが行った講演において、自然界の量子力学的に記述される現象を効率的に計算する仕組みとして紹介されている。

### 注2) 確率論的コンピューター

短時間で出力信号が 0 と 1 の間で確率的に変化し、かつ各ビットを電氣的に相関させられる確率ビット(P ビット)が情報処理の基本単位となるコンピューター。0 と 1 の重ね合わせ状態を持ち、かつビット間でもつれあい(相関状態)を形成できる量子ビット(Q ビット)とは本質的に異なるが、一定の類似性があることから、量子コンピューターと並んで新概念コンピューターの一つとして注目されている。注1の 1981 年にリチャード・ファインマンが行った講演において、量子コンピューターと並んで、確率的な自然現象を効率的に計算する仕組みとして紹介されている。

### 注3) デジタルトランスフォーメーション(DX)

企業や社会が人工知能やインターネット上のビッグデータ等のデジタル技術を活用し、生活の利便性の向上や業務効率化を図ること。

### 注4) プログラム可能半導体回路(Field Programmable Gate Array; FPGA)

ユーザーが現場(Field)で論理回路の機能をプログラムできる論理集積回路。

パソコンの頭脳である CPU (Central Processing Unit) と比べると、汎用性では劣るものの、論理回路の構成を変えられることから、ユーザーがプログラムした計算を行う速度は速くなる。一方、ASIC (Application Specific Integrated Circuit) と比べると、速度では劣るものの、ユーザーが機能を書き換えられ汎用性が高いという特徴がある。

**注5) カーボンニュートラル**

温室効果ガス(主に二酸化炭素)の大気中への排出量と大気からの吸収量が均衡した状態。日本は 2050 年にカーボンニュートラルを達成することを目標としている。

**注6) スピントロニクス**

電子の持つ電氣的性質(電荷)と磁氣的性質(スピン)を同時に利用することで発現する物理現象を明らかにし、工学的に利用することを目指す学術分野。スピンの持つ量子的性質はナノメートル(10 のマイナス 9 乗メートル)のスケールで顕著に見られ、微細加工技術の進展とともに様々な関連現象が発見されてきた。例えば従来は不可能であった磁氣的性質や磁化方向の電氣的な検出や制御(スピントルク磁化反転)、電気伝導特性の磁場や磁化による制御などが可能となり、現在も様々な現象が発見され続けている。

**注7) 東北大学プレスリリース**

『室温動作スピントロニクス素子を用いて量子アニーリングマシンの機能を実現』  
<https://www.tohoku.ac.jp/japanese/2019/09/press20190918-01-spin.html>

**注8) 東北大学プレスリリース**

『スピントロニクス疑似量子ビットを従来比 100 倍超に高速化』  
<https://www.tohoku.ac.jp/japanese/2021/03/press20210318-02-bit.html>

**【論文情報】**

Title:	“Experimental evaluation of simulated quantum annealing with MTJ-augmented p-bits” (磁気トンネル接合駆動確率ビットを用いた疑似量子アニーリング)
Authors:	Andrea Grimaldi, Kemal Selcuk, Navid Anjum Aadit, Keito Kobayashi, Qixuan Cao, Shuvro Chowdhury, Giovanni Finocchio, Shun Kanai, Hideo Ohno, Shunsuke Fukami and Kerem Y. Camsari
Journal:	IEEE International Electron Devices Meeting (IEDM)

問い合わせ先

- 研究に関すること  
東北大学電気通信研究所  
教授 深見 俊輔  
電話 022-217-5555  
E-mail s-fukami@tohoku.ac.jp
- 報道に関すること  
東北大学電気通信研究所 総務係  
電話 022-217-5420  
E-mail riec-  
somu@grp.tohoku.ac.jp