

平成30年12月5日

報道機関 各位

東北大学 国際集積エレクトロニクス研究開発センター

**低ダメージプロセスインテグレーション技術開発による
磁気ランダムアクセスメモリ (STT-MRAM) の高性能化と
高書き換え耐性の両立に成功**
データ保持時間の向上 (128Mb の大容量メモリで 80 度 10 年間の情報保持) と
高書き換え耐性 100 億回を同時に実現

【概要】

指定国立大学法人東北大学国際集積エレクトロニクス研究開発センター(以下、CIES と略称)の遠藤哲郎センター長(兼 同大学大学院工学研究科教授、先端スピントロニクス研究開発センター(世界トップレベル研究拠点)副拠点長、省エネルギー・スピントロニクス集積化システムセンター長、スピントロニクス学術連携研究教育センター 部門長)のグループは、CIES コンソーシアム産学共同研究プロジェクト「不揮発性ワーキングメモリを目指したSTT-MRAM とその製造技術の研究開発」プログラム並びに科学技術振興機構産学共創プラットフォーム共同研究推進プログラム(領域統括:遠藤哲郎)において、東京エレクトロン株式会社(代表取締役社長・CEO 河合 利樹 本社:東京都港区赤坂 5-3-1 赤坂 Biz タワー 以下、東京エレクトロン)と共同で、STT-MRAM 製造における低ダメージ化を図るユニットプロセスの開発を行い、更に同ユニットプロセスを組み合わせる構成されるプロセスインテグレーション技術の開発により、スピン・トランスファー・トルク型磁気ランダムアクセスメモリ (STT-MRAM) の高性能化と高書き換え耐性(※1)の両立に世界で初めて成功致しました。

本技術は、大容量 STT-MRAM の製造に適した反応性イオンエッチングを含めたユニットプロセス開発、並びに 300mm ウェハ対応のプロセスインテグレーション技術を構築することで高性能化と高書き換え耐性の両立を実現したもので、STT-MRAM の実用化・応用分野の拡大への道を大きく前進させるものです。

今回の実証実験の成功は、本学国際集積エレクトロニクス研究開発センターが推進する CIES コンソーシアム並びに、東北大学が幹事機関を務め、東北大学・京都大学・山形大学と先進的企業群の力を結集して、産学共創プラットフ

オームの形成を目指す OPERA における開発体制によるものです。

以上の成果は、2018 年 12 月 1 日～5 日の間、米国サンフランシスコで開催される電子デバイスに関する国際学会である「米国電気電子学会（※2）国際電子デバイス会議（IEEE International Devices Meeting）」で発表致します。

【背景】

最近のシリコンベースの集積回路では、トランジスタの微細化に伴う揮発性半導体メモリにおける待機電力（※3）の増大が、高性能化を阻害する大きな問題となっております。この問題を解決して集積回路の持続的な発展を牽引する技術として、スピントロニクス技術を使った不揮発性メモリの混載が高い注目を集めております。スピントロニクスとは、これまで別々に用いられてきた電子が有する電気的な性質（電荷）と磁気的な性質（スピン）の両方を用いることで新しい物理現象の発見や新しい機能を有するデバイスの実現を目指す学術分野です。スピントロニクス技術を用いた代表的なデバイスは、磁気トンネル接合です。磁気トンネル接合（MTJ）は、磁石の性質を有する材料で構成された二つの層で薄い絶縁層を挟んだ構造を有し、二つの層の磁石の向きが平行な場合と反平行な場合で異なる抵抗を示します。二つの抵抗状態をそれぞれデジタル情報の 0 と 1 に割り当てることでメモリ（磁気ランダムアクセスメモリ：STT-MRAM）として応用することができます。STT-MRAM では、情報を磁石の方向として保存しますので不揮発性（電源を切っても情報を忘れない性質）を有します。不揮発性に加えて、高速動作、低電圧動作、高い書き換え耐性というこれまで揮発性半導体メモリが使われてきた領域に必要とされる特性を全て満足することから、現在、世界中で積極的に研究開発が行われており、大手半導体会社が 2018 年の実用化を目指すことをアナウンスしております。

【研究課題】

STT-MRAM は、その最初の応用先として混載メモリである eFlash メモリと SRAM（※4）の置き換えが期待されています。これらの応用において、STT-MRAM の適用により性能向上を図る場合には、前述した高速動作、低電圧動作、高い書き換え耐性を維持しながら、不揮発性の向上と大容量化（MTJ の微細化）を進めていく必要があります。しかし、MTJ の微細化を進めながら不揮発性を向上させると、情報を書き換えるための電圧が高くなるために、書き換え耐性が弱くなるという課題がありました。本課題を解決するためには、STT-MRAM の特性を決める上で重要となる MTJ 製造プロセスの開発が必要となります。MTJ の製造プロセスで STT-MRAM の特性を決める重要なものがいくつかあります。MTJ 積層膜を作製する薄膜作製プロセス、MTJ 積層膜から MTJ ピラーを形成するた

めの MTJ エッチング技術、MTJ ピラーを保護するための保護膜作製プロセスです。また、これらの製造プロセスは、それぞれを独立に開発すれば良いというものではなく、最終的な特性が最大化されるようにそれぞれのプロセスが組み合わされたプロセスインテグレーション技術を開発する必要があります。つまり、書き換え耐性を劣化させることなく、不揮発性・低電圧動作という MTJ の性能を向上させるプロセスインテグレーション技術の構築が望まれています。

【研究経緯】

東北大学国際集積エレクトロニクス研究開発センター 遠藤哲郎センター長（兼 同大学大学院工学研究科教授、先端スピントロニクス研究開発センター（世界トップレベル研究拠点））のグループでは、CIES コンソーシアムでの産学共同研究並びに、科学技術振興機構 OPERA「IT・輸送システム産学共創コンソーシアム」にて、STT-MRAM の性能向上を実現するための加工プロセスの開発に取り組んでまいりました。

【研究手法と成果】

STT-MRAM の大容量化・高性能化・高書き換え耐性を同時に実現するためには、MTJ 積層膜プロセス・MTJ 加工プロセス・MTJ 保護膜作製プロセスにおいて、低ダメージ化するためのプロセス開発に加えて、それらを組み合わせ構成されるプロセスインテグレーション技術の低ダメージ化が必要となります。特に、MTJ 加工プロセスでは、大容量メモリの加工に適した反応性イオンエッチングの低ダメージ化技術開発が必要です。

本研究では、東北大学 CIES が保有する知と CIES コンソーシアムに参画する東京エレクトロン株式会社が有するプロセス技術を融合させることによって、これまで実現されてこなかった大容量化・高性能化・高信頼性を同時に実現するプロセスインテグレーション技術を確立しました。

図 1 には、本研究で開発したプロセスインテグレーション技術を用いて作製した MTJ の断面像を示しています。

図 2(a)には、従来技術と本研究で開発した 2 つのプロセスインテグレーション技術を用いて加工した MTJ の不揮発性能を比較しました。従来技術に比べて、本開発技術を用いることにより約 9 倍の不揮発性能の向上に成功し、これにより 128Mb という大容量の STT-MRAM においても 80 度で 10 年間の情報保持を可能にしました。図 2(b)には、不揮発性能と書き込み電流の比で表されるスイッチング効率を意味します。この比が大きいほど同じ不揮発性能でも低い電流で書き込めることになり、高いエネルギー効率で動作できることを示します。一般に書き込み電流と不揮発性能は比例する関係にありますので、同じ材

料・プロセス技術を用いる場合にはスイッチング効率は一定となります。本研究では、低ダメージプロセスインテグレーション技術を開発したことにより、従来技術に比してこのスイッチング効率を約 9 倍に向上することに成功しました。つまり、本研究で開発したプロセスインテグレーション技術により 9 倍のエネルギー効率の向上に成功したことになり、不揮発性を向上させることで書き込み電圧が増加する問題を解決していることとなります。

図 3 には、従来技術と本研究で開発したプロセスインテグレーション技術を用いて作製した MTJ の書き込み耐性を評価した結果を示しました。本技術開発により不揮発性能と動作効率の 9 倍の向上に成功すると共に、100 億回という高い書き込み耐性を実現することに成功しました。

本研究では、STT-MRAM の製造で重要となるユニットプロセスの開発とそれらを組み合わせたプロセスインテグレーション技術の開発を通して、これまで成し遂げられてこなかった STT-MRAM の高性能化と高書き換え耐性の両立を世界に先駆けて成功しました。

【研究成果の意義】

今回、CIES は東京エレクトロンと共同で、CIES コンソーシアムで推進している CIES 産学共同研究プロジェクト「不揮発ワーキングメモリを目指した STT-MRAM とその製造技術の研究開発」プログラムと OPERA プロジェクトにて、STT-MRAM の製造で需要となるユニットプロセスならびにプロセスインテグレーション技術開発により高性能化・高書き換え耐性の両立に成功しました。今回開発された技術により、大容量・高性能・高信頼 STT-MRAM 製造への道が切り拓かれ、STT-MRAM の応用範囲が更に広がることが期待されます。

以上の成果は、2018 年 12 月 1 日～5 日の間、米国サンフランシスコで開催される電子デバイスに関する国際学会である「米国電気電子学会（※2）国際電子デバイスミーティング（IEEE International Electron Devices Meeting）」で発表致します。

【用語説明】

（※1）書き換え耐性

メモリに保存された情報を何度書き換えられるかを示す指標。磁気トンネル接合では、動作速度の向上や不揮発性の向上により、書き換えるために必要となる電圧が高くなるために、情報を書き換えるために繰り返し電圧を印加すると、極薄で形成されている絶縁膜が壊れる。故障しないで書き換えられる回数が書き換え耐性の評価指数として用いられる。

(※2) 米国電気電子学会

The Institute of Electrical and Electronics Engineers, Inc. 通称 IEEE (アイ・トリプル・イー)。米国に本拠を置く世界最大の電気・電子技術に関する学会組織。

(※3) 待機電力

集積回路が動作していない時にも消費してしまう電力の事。トランジスタの微細化に伴うリーク電流の増大により主に揮発性メモリ部分で増加している。

(※4) eFlash メモリと SRAM

eFlash メモリ：フラッシュメモリの一種でランダムアクセス性があるために集積回路中で混載メモリとして用いられる。

SRAM (スタティックランダムアクセスメモリ)：混載メモリの一種で揮発性半導体メモリ。高速動作に利点がある一方で、メモリセルのサイズが大きいため主に小容量のキャッシュメモリとして用いられる。汎用コンピュータでは、SRAM に加えて大容量で低速で動作する DRAM (ダイナミックランダムアクセスメモリ) も一緒に用いられる。



図1 本研究で開発したプロセスインテグレーション技術を用いて作製した磁気トンネル接合の断面図。

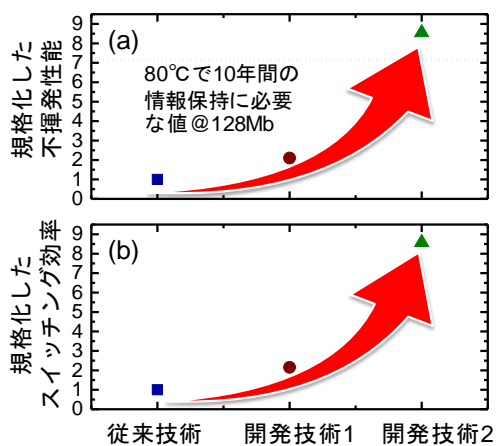


図2 従来技術と本研究で開発したプロセスインテグレーション技術を用いて作製したの非揮発性能、スイッチング効率を比較した。

10¹⁰回書き換えても
ほぼ同じ抵抗値を維持。

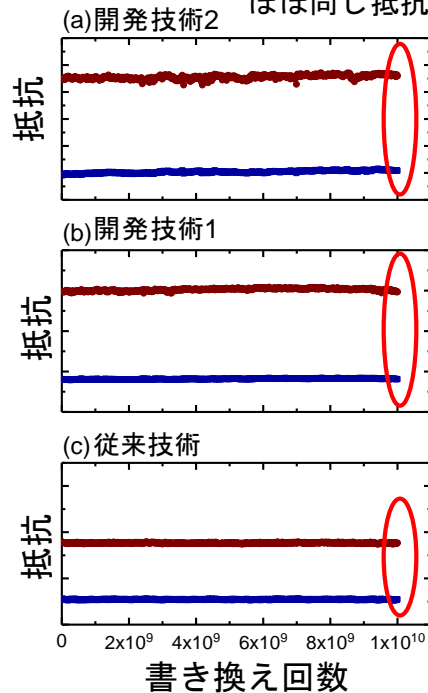


図3 従来技術と本研究で開発したプロセスインテグレーション技術で作製したの書き換え耐性を評価した結果。

【問い合わせ先】

◆研究内容及びセンターの活動に関して

東北大学国際集積エレクトロニクス研究開発センター
センター長・教授 遠藤哲郎 TEL : 022-796-3410

◆その他の事項について

東北大学国際集積エレクトロニクス研究開発センター
支援室長 門脇豊 TEL : 022-796-3410 FAX : 022-796-3432

E-mail : support-office@cies.tohoku.ac.jp

東北大学国際集積エレクトロニクス研究開発センター内

OPERA 支援室長 山川佳之 TEL : 022-796-3405

E-mail: opera-shien@grp.tohoku.ac.jp